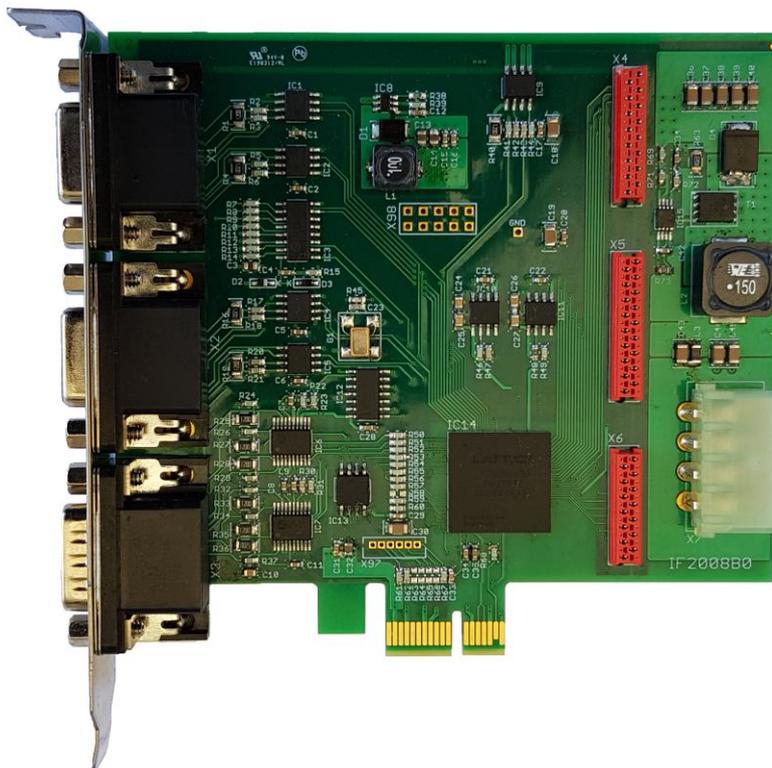


Beschreibung

IF2008/PCIe PCI-Basiskarte

IF2008E Erweiterungskarte



Inhaltsverzeichnis

1	Technische Daten	3
1.1	IF2008/PCle Basiskarte.....	3
1.2	IF2008E Erweiterungskarte	4
2	Hardware	5
2.1	Ansicht IF2008/PCle Basiskarte	5
2.2	Ansicht IF2008E Erweiterungskarte.....	6
3	Steckerbelegung und Jumperstellung	7
3.1	Sensor-Interface (IF2008/PCle X1 und X2, IF2008E X1).....	7
3.2	Encoder-Interface (IF2008/PCle X3)	7
3.3	Sensor-Power (IF2008/PCle X7)	8
3.4	IO-Interface (IF2008E X2)	8
3.5	Analog-Interface (IF2008E X3).....	8
3.6	Jumper-/Schalterstellung für Trigger-Level	9
3.7	Schalterstellung für ADC-Level.....	9
4	Adressbelegung	10
4.1	PCI-Interface	10
4.2	Lokale Adress-Belegung.....	10
5	Register-Beschreibung	11
5.1	Sende-Register	11
5.2	FIFO-Daten	11
5.3	Set- / Reset- / Latch-Register	12
5.4	FIFO-Volumen.....	12
5.5	FIFO-Enable-Register	13
5.6	Interrupt-Enable-Register	14
5.7	Interrupt-Status-Register	14
5.8	Sensor Baud-Rate.....	15
5.9	Zähler-Kontrollregister.....	15
5.10	Zähler Preload.....	17
5.11	Zählerwert	17
5.12	Timer.....	18
5.13	ADC	19
5.14	Status.....	20
5.15	Input und Status Sensor-Powerswitch	20
5.16	Output-Register.....	21
5.17	Mode Opto- und TxD-Ausgänge.....	22
5.18	Mode Trigger-Ausgänge, Latch-Source und Sensor-Powerswitch	23
5.19	ADC-Kontrollregister.....	25
5.20	Parity-Enable-Register	26
5.21	Parity-Error-Register.....	26
6	Verdrahtungs-Empfehlung	27
6.1	Sensor ILD1420	27
6.2	Sensor ILD1750	27
6.3	Sensor ILD2300	28
6.4	Encoder-Interface.....	29
6.5	Optokoppler I/O.....	30
	Abbildungsverzeichnis.....	31
	Tabellenverzeichnis.....	31

1 Technische Daten

1.1 IF2008/PCIe Basiskarte

Mechanik und Umgebung

- Abmessungen (Leiterplattenmaße) ca. 110 x 105 mm, 1 Slot breit
- maximal zulässige Umgebungstemperatur +40 °C
- zwei D-Sub Buchsenleisten HD 15-polig für Sensoranschlüsse
- eine D-Sub Stiftleiste HD 15-polig für Encoder-Signale
- ein Tyco/AMP Commercial MATE-N-LOK Stecker (IDE-Festplattenstecker) für Versorgung DC-/DC-Wandler
- drei Buchsenleisten Tyco/AMP MicroMatch für Verbindung zur IF2008E

PCI-Express-Bus

- PCI-Express x1 Interface
- Target Interface (Slave) nach Spezifikation Rev. 1.0)
- Stromaufnahme an +3,3 Volt ca. 0,5 A, ohne Sensoren und Encoder
- Spannungsversorgung der Encoder mit +5 Volt aus der PCI-Versorgung
- Spannungsversorgung der Sensoren mit +24 Volt aus dem PC-Netzteil

Sensor-Interface (X1 / X2)

- 4 RS422-Driver (2x TxD und 2x Trigger-Out) sowie zwei RS422-Receiver pro Stecker (Ein- / Ausgangsfrequenz max. 5 MHz)
- Spannungsversorgung der Sensoren mit 24 V

Encoder-Interface (X3)

- Interface für zwei Encoder mit 1 Vss-, RS422- (Differenz-) oder TTL- (single-ended) Signalen
- Spannungsversorgung der Encoder mit +5 V aus PCI-Versorgung ohne galvanischer Trennung (Stromaufnahme abhängig von den angeschlossenen Encodern)
- Interpolation programmierbar von 1- bis 64-fach bei Encodern mit 1Vss-Signalen (Eingangsfrequenz max. = [3,2 MHz / Interpolation] ≤ 800 kHz)
- Auswertung programmierbar von 1- bis 4-fach bei Encodern mit:
RS422- / Differenz-Signalen (Eingangsfrequenz max. = 800 kHz)
TTL- / Single-Ended-Signalen (Eingangsfrequenz max. = 400 kHz)

1.2 IF2008E Erweiterungskarte

Mechanik und Umgebung

- Abmessungen (Leiterplattenmaße) ca. 71 x 102 mm, 1 Slot breit
- maximal zulässige Umgebungstemperatur +40 °C
- eine D-Sub Buchsenleiste HD 15-polig für Sensoranschlüsse
- eine D-Sub Buchsenleiste 9-polig für IO-Interface
- eine D-Sub Stiftleiste 9-polig für Analogeingänge
- drei Buchsenleisten MicroMatch für Verbindung zur IF2008/PCle

Sensor-Interface (X1)

- Identisch mit IF2008/PCle (X1)

IO-Interface (X2)

- 4 Optokoppler-Eingänge, Eingangsstrom max. 5 mA, Eingangsfrequenz max. 1 MHz
- 4 Optokoppler-Ausgänge, Ausgangsstrom max. 20 mA, Ausgangsfrequenz max. 1 MHz

Analog-Interface (X3)

- zwei ADC-Kanäle
- Eingangsspannungsbereich 0-5 V, 0-10 V, ± 5 V, ± 10 V getrennt einstellbar für jeden Kanal über DIP-Schalter
- Auflösung 16 Bit
- Offsetfehler max. ± 3 mV
- Verstärkungsfehler max. ± 5 mV
- Wandlungsrate max. 150 kHz pro Kanal

2 Hardware

2.1 Ansicht IF2008/PCle Basiskarte

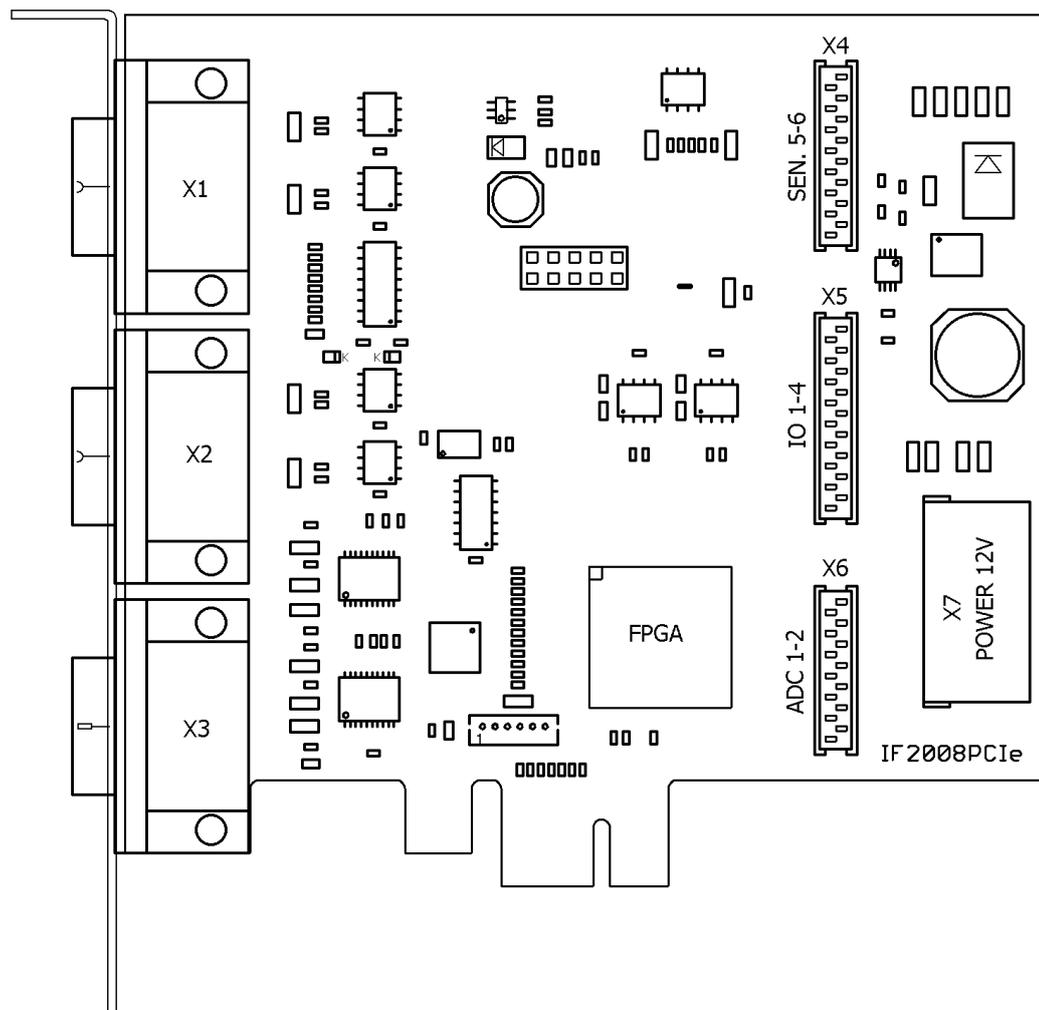


Bild 1: Platinenansicht IF2008/PCle Basiskarte

- X1 = Anschluss für Sensor 1 und 2
- X2 = Anschluss für Sensor 3 und 4
- X3 = Anschluss für Encoder 1 und 2
- X4 ... X6 = Anschluss für Verbindung zur IF2008E
- X7 = Anschluss 12 V-Power

2.2 Ansicht IF2008E Erweiterungskarte

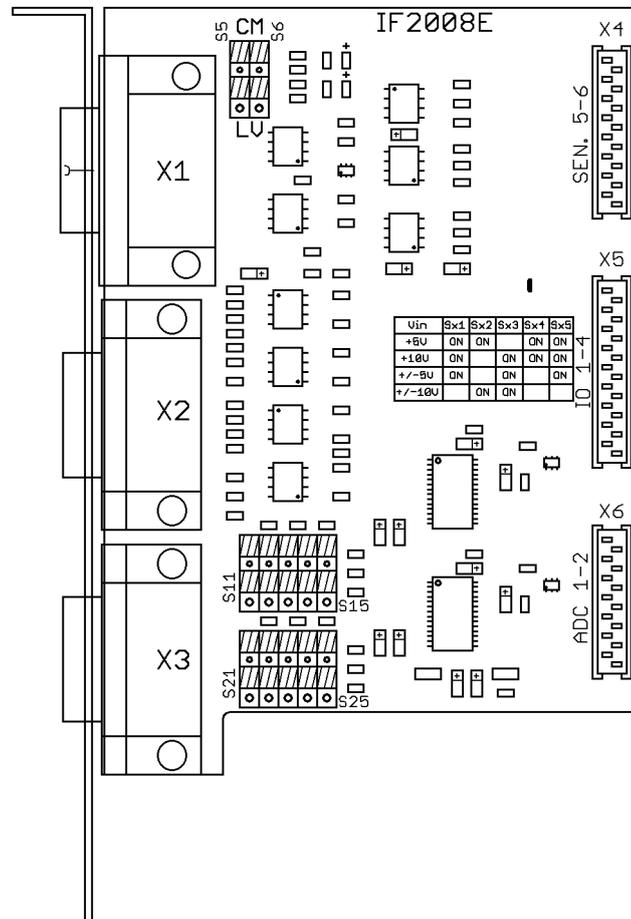


Bild 2: Platinenansicht IF2008E Erweiterungskarte

- X1 = Anschluss für Sensor 5 und 6
- X2 = Anschluss für IO-Signale
- X3 = Anschluss für Analog-Digital-Converter
- X4 ... X6 = Anschluss für Verbindung zur IF2008/PCle
- S5 u. S6 = Schalter für positiven Trigger-Level
- S11 ... S15 = Schalter für ADC-Level 1
- S21 ... S25 = Schalter für ADC-Level 2

3 Steckerbelegung und Jumperstellung

3.1 Sensor-Interface (IF2008/PCIe X1 und X2, IF2008E X1)

Pin	Signal
1	Sensor 1 TxD-
2	Sensor 1 TxD+
3	Sensor 1 RxD-
4	Sensor 1 RxD+
5	GND
6	Sensor 1 TRG+
7	Sensor 1 TRG-
8	Sensor 2 TRG+
9	Sensor 2 TRG-
10	Spannungsversorgung +24 V
11	Sensor 2 TxD-
12	Sensor 2 TxD+
13	Sensor 2 RxD-
14	Sensor 2 RxD+
15	GND

Tabelle 1: Steckerbelegung Sensor-Interface

3.2 Encoder-Interface (IF2008/PCIe X3)

Pin	Funktion
1	Encoder 1 Spur A+
2	Encoder 1 Spur A-
3	Encoder 2 Spur A+
4	Encoder 2 Spur A-
5	VCC (+5 V)
6	Encoder 1 Spur B+
7	Encoder 1 Spur B-
8	Encoder 2 Spur B+
9	Encoder 2 Spur B-
10	GND
11	Encoder 1 Spur R+
12	Encoder 1 Spur R-
13	Encoder 2 Spur R+
14	Encoder 2 Spur R-
15	GND

Tabelle 2: Steckerbelegung Encoder-Interface

Achtung: Die Steckerbelegung ist mit der IF2004B **nicht** kompatibel!

3.3 Sensor-Power (IF2008/PCle X7)

Pin	Funktion
1	+12 V
2	GND
3	GND
4	NC

Tabelle 3: Steckerbelegung Sensor-Power

3.4 IO-Interface (IF2008E X2)

Pin	Funktion
1	OUT 1
2	OUT 2
3	OUT 3
4	OUT 4
5	GND
6	IN 1
7	IN 2
8	IN 3
9	IN 4

Tabelle 4: Steckerbelegung IO-Interface

3.5 Analog-Interface (IF2008E X3)

Pin	Funktion
1	Eingangssignal 1
2	Analog GND
3	Eingangssignal 2
4	Analog GND
5	NC
6	NC
7	NC
8	NC
9	NC

Tabelle 5: Steckerbelegung Analog-Interface

3.6 Jumper-/Schalterstellung für Trigger-Level

Mit den Schaltern S5 und S6 (IF2008E) kann der positive Trigger-Level für die Sensorkanäle 5 und 6 (IF2008E) selektiert werden. Der negative Ausgang hat immer LVDS- Level.

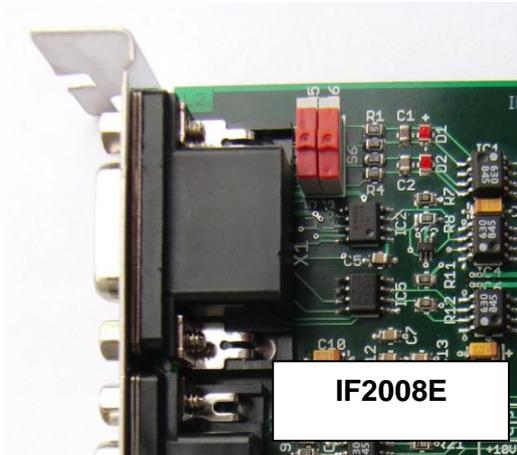


Bild 3: Schalterstellungen Trigger-Level

Schalter	Stellung	Trigger-Ausgang +
S5 bis S6	LVn	LVDS-Level für Sensor n TRG+
	CMn	3,3 V CMOS-Level für Sensor n TRG+

Tabelle 6: Schalterstellungen Trigger-Level

3.7 Schalterstellung für ADC-Level

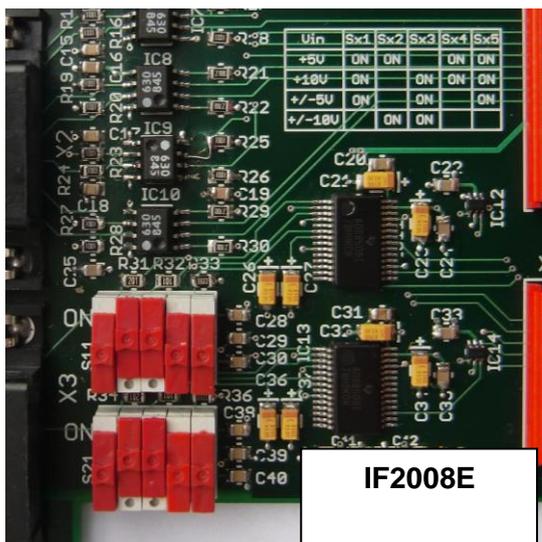


Bild 4: Schalterstellungen ADC-Level
(im Bild sind ± 10 V eingestellt)

VIN	Sx1	Sx2	Sx3	Sx4	Sx5
0-5 V	ON	ON		ON	ON
0-10 V	ON		ON	ON	ON
± 5 V	ON		ON		ON
± 10 V		ON	ON		

Tabelle 7: Schalterstellungen ADC-Level

4 Adressbelegung

4.1 PCI-Interface

Interface: PCI-Express x1 Interface
 Zugriff: Memory-Space 40 Hex-Adressen
 Basis-Adresse: Vergabe automatisch durch Betriebssystem

Header-Configuration

Adr.	Byte 3	Byte 2	Byte 1	Byte 0	Wert (Hex)
00h	Device ID		Vendor ID		1910 1204
18h	Base Address Local Memory Space				xxxx xxxx
2C	Subsystem ID		Subsystem Vendor ID		2008 1204

Tabelle 8: Header-Configuration

4.2 Lokale Adress-Belegung

Basis-Adr. +	Schreibzugriff	Lesezugriff
00h	Sende-Register	FIFO-Daten
02h	Set- / Reset- / Latch-Register	FIFO-Volumen
04h	FIFO-Enable-Register	FIFO-Enable-Register
06h	Interrupt-Enable-Register	Interrupt-Status-Register
08h	Sensor 1 Baud-Rate	reserviert
0Ah	Sensor 2 Baud-Rate	reserviert
0Ch	Sensor 3 Baud-Rate	reserviert
0Eh	Sensor 4 Baud-Rate	reserviert
10h	Sensor 5 Baud-Rate	reserviert
12h	Sensor 6 Baud-Rate	reserviert
14h	Zähler-Kontrollregister 1	Zähler-Kontrollregister 1
16h	Zähler-Kontrollregister 2	Zähler-Kontrollregister 2
18h	Zähler 1 Preload LSW	Zählerwert 1 LSW
1Ah	Zähler 1 Preload MSW	Zählerwert 1 MSW
1Ch	Zähler 2 Preload LSW	Zählerwert 2 LSW
1Eh	Zähler 2 Preload MSW	Zählerwert 2 MSW
20h	Timer 1 Frequenz	ADC 1
22h	Timer 1 Pulsweite	ADC 2
24h	Timer 2 Frequenz	Status, FPGA- / Hardware-Version
26h	Timer 2 Pulsweite	Input und Status Powerswitch
28h	Timer 3 Frequenz	reserviert
2Ah	Timer 3 Pulsweite	reserviert
2Ch	Timer Clock-Teiler	Timer Clock-Teiler
2Eh	Output-Register	Output-Register
30h	Mode Opto- und TxD-Ausgänge	Mode Opto- und TxD-Ausgänge
32h	Mode Trigger-Ausgänge	Mode Trigger-Ausgänge, Latch-Source und Sensor-Powerswitch
34h	ADC-Kontrollregister	ADC-Kontrollregister
36h	Parity-Enable-Register	Parity-Error

Tabelle 9: Lokale Adress-Belegung

5 Register-Beschreibung

5.1 Sende-Register

Basisadr. + 00h (Schreibzugriff)

Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
			S6	S5	S4	S3	S2	S1	D7	D6	D5	D4	D3	D2	D1	D0
	Selektierung Sensor-Kanal							Daten-Bits								

Tabelle 10: Sende-Register

Bit 0 bis 7 beinhalten die Daten für das Sende-Register

Bit 8 bis 15 selektieren den Sensor-Kanal

Bit 8 = 1 → Daten werden am Sensor-Kanal S1 ausgegeben

Bit 9 = 1 → Daten werden am Sensor-Kanal S2 ausgegeben

usw.

Bit 13 = 1 → Daten werden am Sensor-Kanal 6 ausgegeben

Bit 14..15 → frei

Unmittelbar nach einem Schreibzugriff auf die Adresse "0" werden die Daten zu dem unter Bit 8 bis 13 selektierten Sensor-Kanal übertragen. Die Baud-Rate für das Sende-Register wird automatisch dem selektierten Sensor-Kanal angepasst. Erfolgt die Datenausgabe gleichzeitig auf mehreren Kanälen, so wird die Baud-Rate des hochwertigsten Kanals verwendet.

5.2 FIFO-Daten

Basisadr. + 00h (Lesezugriff)

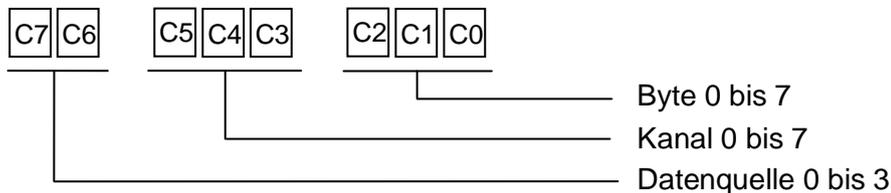
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	C7	C6	C5	C4	C3	C2	C1	C0	D7	D6	D5	D4	D3	D2	D1	D0
	Code-Bits							Daten-Bits								

Tabelle 11: FIFO-Datenspeicher

Bit 0 bis 7 beinhaltet die gepufferten Daten

Bit 8 bis 15 kennzeichnen den Datencode

Code-Bits



C7	C6	Datenquelle
0	0	Sensor
0	1	Encoder
1	0	Schalteingang (IN 1..4 → Kanal 0, RxD 1..6 → Kanal 1)
1	1	ADC

Tabelle 12: FIFO-Datenspeicher – Datenquellen

5.3 Set- / Reset- / Latch-Register

Basisadr. + 02h (Schreibzugriff)

Bit	Funktion
0	Zähler 1 löschen
1	Zähler 1 laden
2	Zähler 1 latchen
3	Zähler 1 referenzieren
4	Zähler 2 löschen
5	Zähler 2 laden
6	Zähler 2 latchen
7	Zähler 2 referenzieren
8	ADC1 Konvertierung starten
9	ADC2 Konvertierung starten
10	FIFO löschen
11 – 15	reserviert

Tabelle 13: Set- / Reset- / Latch-Register

Hinweis!

- Mit den Bits 0 bis 2 und 4 bis 6 können die Zähler unabhängig vom Zähler-Kontrollregister (Adr. 14h und Adr. 16h) per Software gelöscht, geladen oder der Zählerstand ins Latch-Register übernommen werden
- Wird mit dem Zähler-Kontrollregister (Adr. 14h und Adr. 16h) eine Zählerlatch- oder Lade-Funktion eingestellt die nur in Verbindung mit einer Referenzmarke ausgeführt werden soll, so muss diese vorher durch Setzen von Bit 3 bzw. Bit 7 freigegeben werden. Durch das Setzen von Bit 3 bzw. Bit 7 werden die Statusbits 0 und 1 bzw. 2 und 3 zurückgesetzt.
- Alle Bits müssen nur gesetzt werden, ein Rücksetzen ist nicht notwendig
- Nach einer Stromunterbrechung werden alle Bits auf "0" gesetzt

5.4 FIFO-Volumen

Basisadr. + 02h (Lesezugriff)

Bit	Funktion
0 bis 14	FIFO-Datenvolumen (0 bis 32767)
15	immer 0

Tabelle 14: FIFO-Volumen

Nach jedem Empfang eines Datensatzes wird dieser automatisch in den FIFO-Datenspeicher übertragen. Durch Abfrage des FIFO-Volumens kann die Datenfülle des FIFO ermittelt werden. Die Reihenfolge und Geschwindigkeit für das Puffern der empfangenen Daten ist identisch mit dem Datenstrom der Empfangs-Register. Wird der FIFO nicht schnell genug ausgelesen, so stehen in diesem die zuletzt empfangenen 32768 Datensätze.

5.5 FIFO-Enable-Register

Basisadr. + 04h (Schreib- und Lesezugriff)

Bit	Funktion
0	0 = FIFO für Sensor-Kanal 1 gesperrt 1 = FIFO für Sensor-Kanal 1 freigegeben
1	0 = FIFO für Sensor-Kanal 2 gesperrt 1 = FIFO für Sensor-Kanal 2 freigegeben
2	0 = FIFO für Sensor-Kanal 3 gesperrt 1 = FIFO für Sensor-Kanal 3 freigegeben
3	0 = FIFO für Sensor-Kanal 4 gesperrt 1 = FIFO für Sensor-Kanal 4 freigegeben
4	0 = FIFO für Sensor-Kanal 5 gesperrt 1 = FIFO für Sensor-Kanal 5 freigegeben
5	0 = FIFO für Sensor-Kanal 6 gesperrt 1 = FIFO für Sensor-Kanal 6 freigegeben
6	0 = FIFO für Encoder-Kanal 1 gesperrt 1 = FIFO für Encoder-Kanal 1 freigegeben
7	0 = FIFO für Encoder-Kanal 2 gesperrt 1 = FIFO für Encoder-Kanal 2 freigegeben
8	0 = FIFO für Status der externen Eingänge IN 1..4 gesperrt 1 = FIFO für Status der externen Eingänge IN 1..4 freigegeben
9	0 = FIFO für Status der RxD-Eingänge (Sensor 1..6) gesperrt 1 = FIFO für Status der RxD-Eingänge (Sensor 1..6) freigegeben
10	0 = FIFO für ADC 1 gesperrt 1 = FIFO für ADC 1 freigegeben
11	0 = FIFO für ADC 2 gesperrt 1 = FIFO für ADC 2 freigegeben
12	0 = FIFO wird bei aktivem, ext. Eingang IN 1 für Sensor 1 und 2 gesperrt 1 = IN 1 hat keinen Einfluss auf FIFO
13	0 = FIFO wird bei aktivem, ext. Eingang IN 2 für Sensor 3 bis 6 gesperrt 1 = IN 2 hat keinen Einfluss auf FIFO
14	0 = FIFO wird bei aktivem, ext. Eingang IN 3 für Encoder 1 und 2 gesperrt 1 = IN 3 hat keinen Einfluss auf FIFO
15	0 = FIFO wird bei aktivem, ext. Eingang IN 4 für ADC 1/2; IN 1..4; RxD 1..6 gesperrt 1 = IN 4 hat keinen Einfluss auf FIFO

Tabelle 15: FIFO-Enable-Register

5.6 Interrupt-Enable-Register

Basisadr. + 06h (Schreibzugriff)

Bit	Funktion
0	1 = Enable Interrupt-Anforderung wenn FIFO mehr als 50 % gefüllt ist
1	1 = Enable Interrupt- Anforderung wenn FIFO mehr als 75 % gefüllt ist
2	1 = Enable Interrupt- Anforderung bei Überlauf Timer 1
3	1 = Enable Interrupt- Anforderung bei Überlauf Timer 2
4	1 = Enable Interrupt- Anforderung bei Überlauf Timer 3
5	1 = Enable Interrupt- Anforderung wenn externer Eingang IN 1 aktiviert wird
6	1 = Enable Interrupt- Anforderung wenn externer Eingang IN 2 aktiviert wird
7	1 = Enable Interrupt- Anforderung wenn externer Eingang IN 3 aktiviert wird
8	1 = Enable Interrupt- Anforderung wenn externer Eingang IN 4 aktiviert wird
9 - 15	reserviert

Tabelle 16: Interrupt-Enable-Register

Hinweis!

Die Interrupt-Generierung ist flankengetriggert, d. h. eine Interrupt-Anforderung erfolgt nur wenn im Interrupt-Enable-Register das entsprechende Bit gesetzt ist und die dazugehörige Quelle vom inaktiven in den aktiven Zustand wechselt. Es können gleichzeitig mehrere Bits gesetzt sein.

5.7 Interrupt-Status-Register

Basisadr. + 06h (Lesezugriff)

Bit	Funktion
0	1 = Interrupt-Anforderung durch FIFO-Füllstand mehr als 50 %
1	1 = Interrupt-Anforderung durch FIFO-Füllstand mehr als 75 %
2	1 = Interrupt- Anforderung durch Überlauf Timer 1
3	1 = Interrupt- Anforderung durch Überlauf Timer 2
4	1 = Interrupt- Anforderung durch Überlauf Timer 3
5	1 = Interrupt- Anforderung durch Aktivierung des externen Eingang IN 1
6	1 = Interrupt- Anforderung durch Aktivierung des externen Eingang IN 2
7	1 = Interrupt- Anforderung durch Aktivierung des externen Eingang IN 3
8	1 = Interrupt- Anforderung durch Aktivierung des externen Eingang IN 4
9 - 15	reserviert

Tabelle 17: Interrut-Status-Register

Hinweis!

Das Interrupt-Status-Register gibt Auskunft, durch welche Quelle(n) die Interrupt-Anforderung erfolgte. Eine Interrupt-Anforderung kann auch gleichzeitig durch mehrere Quellen erfolgen. Ist kein Status-Bit gesetzt, so wurde die Interrupt-Anforderung nicht durch die IF2008/PCle generiert, sondern durch eine andere Hardware.

5.8 Sensor Baud-Rate

Basisadr.	Sensor-Kanal	Value	Zugriff
+ 08h	1	1 bis 65.535	nur Schreibzugriff
+ 0Ah	2	1 bis 65.535	nur Schreibzugriff
+ 0Ch	3	1 bis 65.535	nur Schreibzugriff
+ 0Eh	4	1 bis 65.535	nur Schreibzugriff
+ 10h	5	1 bis 65.535	nur Schreibzugriff
+ 12h	6	1 bis 65.535	nur Schreibzugriff

Tabelle 18: Basis-Adressen für Sensor Baud-Raten

$$\text{Value} = (48\text{MHz} / \text{Baud-Rate}) - 1$$

Beispiel:

Gewünschte Baud-Rate = 691,2 kBaud

$$\text{Value} = (48 \text{ MHz} / 691.200) - 1 = 68,44$$

Der Eingabewert muss ein ganzzahliger Wert sein d.h. das Ergebnis muss noch gerundet werden:

→ **Value = 68**

5.9 Zähler-Kontrollregister

Basisadr.	Zähler-Kanal	Bit	Zugriff
+ 14h	1	0 bis 15	Schreib- und Lesezugriff
+ 16h	2	0 bis 15	Schreib- und Lesezugriff

Tabelle 19: Basis-Adressen für Zähler-Kontrollregister

Die nachfolgenden Tabellen sind identisch für beide Zählerkanäle!

Funktionsübersicht

Bit	Funktion
0 bis 3	Interpolation (siehe Tabelle 21: Encoder Interpolation)
4	Zählrichtung (siehe Tabelle 22: Encoder Zählrichtung)
5 bis 7	Zähler-Mode (siehe Tabelle 23: Zähler-Mode)
8 bis 11	Latch-Source (siehe Tabelle 24: Zähler Latch-Source)
12 bis 15	reserviert

Tabelle 20: Funktionsübersicht für Zähler-Kontrollregister

Interpolation

Bit 3	Bit 2	Bit 1	Bit 0	Interpolation
0	0	0	0	1
0	0	0	1	2
0	0	1	0	3
0	0	1	1	4
0	1	0	0	5
0	1	0	1	6
0	1	1	0	8
0	1	1	1	10
1	0	0	0	12
1	0	0	1	16
1	0	1	0	20
1	0	1	1	24
1	1	0	0	32
1	1	0	1	40
1	1	1	0	48
1	1	1	1	64

Tabelle 21: Encoder Interpolation

Hinweis!

- Für Encoder mit 1 Vss – Signalen eignen sich alle Interpolationen
- Für Encoder mit TTL – Signalen eignet sich nur die 1-, 2- oder 4-fach Interpolation

Zählrichtung

Bit 4	Zählrichtung
0	normal
1	invers

Tabelle 22: Encoder Zählrichtung

Zähler-Mode:

Bit 7	Bit 6	Bit 5	Zähler-Mode						
0	0	0	keine Zählerlade- / LösCHFunktion durch Encoder-Referenzmarken						
0	0	1	Zähler wird mit der nächsten Encoder-Referenzmarke geladen sofern Statusbit 0 bzw. Statusbit 2 „0“ ist.						
0	1	0	Zähler wird mit allen Encoder-Referenzmarken mit dem Inhalt der Laderegister geladen. Statusbit 0 bis 3 haben keine Auswirkung						
0	1	1	Zähler wird mit allen Encoder-Referenzmarken gelöscht und zusätzlich mit dem Inhalt des Laderegisters geladen, wenn der Zählerstand von -1 erreicht wurde. Diese Funktion dient zur Zählerbegrenzung, wobei das Zähler-Laderegister mit der Anzahl der zu begrenzenden Inkremente -1 vorbelegt werden muss.						
1	0	0	Zähler ohne Phasendiskriminator (Ereigniszähler) <table border="1" data-bbox="630 1736 1428 1926"> <thead> <tr> <th>Bit 4</th> <th>Funktion</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>Spur A = Zählrichtungssignal Spur B = Zählertaktsignal</td> </tr> <tr> <td>1</td> <td>Spur A = Zählertaktsignal Spur B = Zählrichtungssignal</td> </tr> </tbody> </table>	Bit 4	Funktion	0	Spur A = Zählrichtungssignal Spur B = Zählertaktsignal	1	Spur A = Zählertaktsignal Spur B = Zählrichtungssignal
Bit 4	Funktion								
0	Spur A = Zählrichtungssignal Spur B = Zählertaktsignal								
1	Spur A = Zählertaktsignal Spur B = Zählrichtungssignal								
1	0	1	reserviert						
1	1	0	reserviert						
1	1	1	reserviert						

Tabelle 23: Zähler-Mode

Latch-Source:

Bit 11	Bit 10	Bit 9	Bit 8	Latch-Source
0	0	0	0	Hardware-Latch gesperrt
0	0	0	1	Timer 1
0	0	1	0	Timer 2
0	0	1	1	Timer 3
0	1	0	0	Sensor-Kanal 1
0	1	0	1	Sensor-Kanal 2
0	1	1	0	Sensor-Kanal 3
0	1	1	1	Sensor-Kanal 4
1	0	0	0	Sensor-Kanal 5
1	0	0	1	Sensor-Kanal 6
1	0	1	0	IN 1 (nur mit Erweiterungskarte IF2008E)
1	0	1	1	IN 2 (nur mit Erweiterungskarte IF2008E)
1	1	0	0	IN 3 (nur mit Erweiterungskarte IF2008E)
1	1	0	1	IN 4 (nur mit Erweiterungskarte IF2008E)
1	1	1	0	2. Referenzmarke
1	1	1	1	alle Referenzmarken

Tabelle 24: Zähler Latch-Source

5.10 Zähler Preload

Basisadr.	Zähler-Kanal	Value	Zugriff
+ 18h	1 LSW	0 bis 65.535	nur Schreibzugriff
+ 1Ah	1 MSW	0 bis 65.535	nur Schreibzugriff
+ 1Ch	2 LSW	0 bis 65.535	nur Schreibzugriff
+ 1Eh	2 MSW	0 bis 65.535	nur Schreibzugriff

Tabelle 25: Basis-Adressen für Zähler Preload

5.11 Zählerwert

Basisadr.	Zähler-Kanal	Value	Zugriff
+ 18h	1 LSW	0 bis 65.535	nur Lesezugriff
+ 1Ah	1 MSW	0 bis 65.535	nur Lesezugriff
+ 1Ch	2 LSW	0 bis 65.535	nur Lesezugriff
+ 1Eh	2 MSW	0 bis 65.535	nur Lesezugriff

Tabelle 26: Basis-Adressen für Zählerwert

5.12 Timer

Basisadr.	Timer	Value	Zugriff
+ 20h	1 Frequenz	0 bis 65.535	nur Schreibzugriff
+ 22h	1 Pulsweite	0 bis 65.535	nur Schreibzugriff
+ 24h	2 Frequenz	0 bis 65.535	nur Schreibzugriff
+ 26h	2 Pulsweite	0 bis 65.535	nur Schreibzugriff
+ 28h	3 Frequenz	0 bis 65.535	nur Schreibzugriff
+ 2Ah	3 Pulsweite	0 bis 65.535	nur Schreibzugriff
+ 2Ch	Clock-Teiler		Schreib- und Lesezugriff

Tabelle 27: Basis-Adressen für Timer

$$\text{Value(F)} = (\text{F}_{\text{Clock}} / \text{F}_{\text{OUT}}) - 1$$

$$\text{Value(PW)} = (\text{PW}_{\text{OUT}} / \text{T}_{\text{Clock}})$$

Beispiel:

gewünschte Frequenz $\text{F}_{\text{OUT}} = 10 \text{ kHz}$

gewünschte Pulsweite $\text{PW}_{\text{OUT}} = 25 \mu\text{s}$

Clockteiler = 0 $\rightarrow \text{F}_{\text{Clock}} = 24 \text{ MHz}$, $\text{T}_{\text{Clock}} = 41,667 \text{ ns}$ (Clockteiler siehe nachfolgende Tabelle)

$$\text{Value(F)} = (24 \text{ MHz} / 10 \text{ kHz}) - 1 = 2399$$

$$\text{Value(PW)} = (25 \mu\text{s} / 41,667 \text{ ns}) = 600$$

Die Eingabewerte müssen ganzzahlig sein!

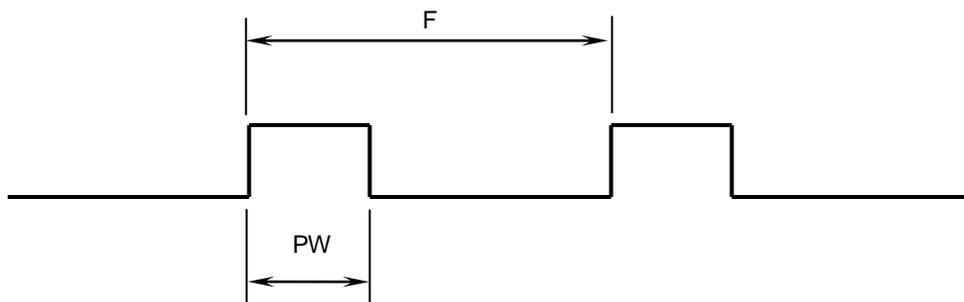


Bild 5: Timer-Frequenz und Pulsweite

Hinweis!

Die Pulsweite hat nur Einfluss auf die Ausgänge „Sensor-Trigger“ und „Optokoppler“ und nicht auf die internen Synchronisations-Signale. Hierfür wird der Timer-Nulldurchgang verwendet.

Zum Ausschalten des Timers muss die Frequenz mit „0“ programmiert werden. Ist bei ausgeschaltetem Timer die Pulsweite > 0 programmiert, so ist der Ausgang ständig auf High gesetzt. Ist die Pulsweite dagegen auch mit „0“ programmiert, so ist der Ausgang ständig auf Low gesetzt.

Clock-Teiler:

Bit 3	Bit 2	Bit 1	Bit 0	Clockfrequenz Timer 1
Bit 7	Bit 6	Bit 5	Bit 4	Clockfrequenz Timer 2
Bit 11	Bit 10	Bit 9	Bit 8	Clockfrequenz Timer 3
0	0	0	0	24 MHz
0	0	0	1	24 MHz / 2
0	0	1	0	24 MHz / 4
0	0	1	1	24 MHz / 8
0	1	0	0	24 MHz / 16
0	1	0	1	24 MHz / 32
0	1	1	0	24 MHz / 64
0	1	1	1	24 MHz / 128
1	0	0	0	24 MHz / 256
1	0	0	1	24 MHz / 512
1	0	1	0	24 MHz / 1024
1	0	1	1	24 MHz / 2048
1	1	0	0	24 MHz / 4096
1	1	0	1	24 MHz / 8192
1	1	1	0	24 MHz / 16384
1	1	1	1	24 MHz / 32768

Tabelle 28: Timer Clock-Teiler

Hinweis!

Bit 12 bis Bit 15 sind reserviert.

5.13 ADC

Basisadr.	ADC-Kanal	Value	Zugriff
+ 20h	1	0 bis 65535	nur Lesezugriff
+ 22h	2	0 bis 65535	nur Lesezugriff

Tabelle 29: Basis-Adressen für ADC

5.14 Status

Basisadr. + 24h (nur Lesezugriff)

Bit	Funktion
0	1 = Encoder 1: 1. Referenzmarke überfahren
1	1 = Encoder 1: 2. Referenzmarke überfahren
2	1 = Encoder 2: 1. Referenzmarke überfahren
3	1 = Encoder 2: 2. Referenzmarke überfahren
4	0 = Transmitter bereit zur Übertragung neuer Daten 1 = Transmitter ist beschäftigt
5	0 = kein Erweiterungsmodul mit Sensor 5 / 6 vorhanden 1 = Erweiterungsmodul mit Sensor 5 / 6 vorhanden
6	0 = kein Erweiterungsmodul für externe I/O vorhanden 1 = Erweiterungsmodul für externe I/O vorhanden
7	0 = kein Erweiterungsmodul mit ADC vorhanden 1 = Erweiterungsmodul mit ADC vorhanden
8 – 13	FPGA-Version
14 – 15	Hardware-Version

Tabelle 30: Status

5.15 Input und Status Sensor-Powerswitch

Basisadr. + 26h (nur Lesezugriff)

Bit	Funktion
0	1 = ext. Eingang IN 1 aktiv
1	1 = ext. Eingang IN 2 aktiv
2	1 = ext. Eingang IN 3 aktiv
3	1 = ext. Eingang IN 4 aktiv
4	1 = RxD Eingang am Sensoreingang 1 aktiv
5	1 = RxD Eingang am Sensoreingang 2 aktiv
6	1 = RxD Eingang am Sensoreingang 3 aktiv
7	1 = RxD Eingang am Sensoreingang 4 aktiv
8	1 = RxD Eingang am Sensoreingang 5 aktiv
9	1 = RxD Eingang am Sensoreingang 6 aktiv
10	1 = Error Sensor-Powerswitch
11 – 15	Reserviert

Tabelle 31: Input und Status Sensor-Powerswitch

5.16 Output-Register

Basisadr. + 2Eh (Schreib- und Lesezugriff)

Bit	Funktion	Ausgangssignal
0	0 = OUT 1 OFF 1 = OUT 1 ON Optokoppler gesperrt Optokoppler leitend	¹⁾ Output 1 = High Output 1 = Low
1	0 = OUT 2 OFF 1 = OUT 2 ON Optokoppler gesperrt Optokoppler leitend	¹⁾ Output 2 = High Output 2 = Low
2	0 = OUT 3 OFF 1 = OUT 3 ON Optokoppler gesperrt Optokoppler leitend	¹⁾ Output 3 = High Output 3 = Low
3	0 = OUT 4 OFF 1 = OUT 4 ON Optokoppler gesperrt Optokoppler leitend	¹⁾ Output 4 = High Output 4 = Low
4	0 = TxD 1 1 = TxD 1 inaktiv aktiv	TxD 1+ = High TxD 1+ = Low TxD 1- = Low TxD 1- = High
5	0 = TxD 2 1 = TxD 2 inaktiv aktiv	TxD 2+ = High TxD 2+ = Low TxD 2- = Low TxD 2- = High
6	0 = TxD 3 1 = TxD 3 inaktiv aktiv	TxD 3+ = High TxD 3+ = Low TxD 3- = Low TxD 3- = High
7	0 = TxD 4 1 = TxD 4 inaktiv aktiv	TxD 4+ = High TxD 4+ = Low TxD 4- = Low TxD 4- = High
8	0 = TxD 5 1 = TxD 5 inaktiv aktiv	¹⁾ TxD 5+ = High TxD 5+ = Low TxD 5- = Low TxD 5- = High
9	0 = TxD 6 1 = TxD 6 inaktiv aktiv	¹⁾ TxD 6+ = High TxD 6+ = Low TxD 6- = Low TxD 6- = High
10	0 = TRG 1 1 = TRG 1 inaktiv aktiv	TRG 1+ = Low TRG 1+ = High TRG 1- = High TRG 1- = Low
11	0 = TRG 2 1 = TRG 2 inaktiv aktiv	TRG 2+ = Low TRG 2+ = High TRG 2- = High TRG 2- = Low
12	0 = TRG 3 1 = TRG 3 inaktiv aktiv	TRG 3+ = Low TRG 3+ = High TRG 3- = High TRG 3- = Low
13	0 = TRG 4 1 = TRG 4 inaktiv aktiv	TRG 4+ = Low TRG 4+ = High TRG 4- = High TRG 4- = Low
14	0 = TRG 5 1 = TRG 5 inaktiv aktiv	¹⁾ TRG 5+ = Low TRG 5+ = High TRG 5- = High TRG 5- = Low
15	0 = TRG 6 1 = TRG 6 inaktiv aktiv	¹⁾ TRG 6+ = Low TRG 6+ = High TRG 6- = High TRG 6- = Low

Tabelle 32: Output-Register

Hinweise!

Für alle Ausgänge stehen mehrere Signalquellen zur Verfügung. Oben aufgeführte Bits werden nur dann durchgeschaltet, wenn der entsprechende Mode eingestellt ist (siehe Tabelle 33: Mode Opto- und TxD-Ausgänge auf Seite 22).

¹⁾ Nur mit Erweiterungskarte möglich

5.17 Mode Opto- und TxD-Ausgänge

Basisadr. + 30h (Schreib- und Lesezugriff)

Bit	Funktion		
0 und 1	Bit 1	Bit 0	Funktion
	0	0	Output 1 schaltet mit Adr. 2Eh Bit 0
	0	1	Output 1 schaltet mit Timer 1 Pulsweite
	1	0	Output 1 schaltet mit Timer 2 Pulsweite
	1	1	Output 1 schaltet mit Timer 3 Pulsweite
2 und 3	Bit 3	Bit 2	Funktion
	0	0	Output 2 schaltet mit Adr. 2Eh Bit 1
	0	1	Output 2 schaltet mit Timer 1 Pulsweite
	1	0	Output 2 schaltet mit Timer 2 Pulsweite
	1	1	Output 2 schaltet mit Timer 3 Pulsweite
4 und 5	Bit 5	Bit 4	Funktion
	0	0	Output 3 schaltet mit Adr. 2Eh Bit 2
	0	1	Output 3 schaltet mit Timer 1 Pulsweite
	1	0	Output 3 schaltet mit Timer 2 Pulsweite
	1	1	Output 3 schaltet mit Timer 3 Pulsweite
6 und 7	Bit 7	Bit 6	Funktion
	0	0	Output 4 schaltet mit Adr. 2Eh Bit 3
	0	1	Output 4 schaltet mit Timer 1 Pulsweite
	1	0	Output 4 schaltet mit Timer 2 Pulsweite
	1	1	Output 4 schaltet mit Timer 3 Pulsweite
8	0 = TxD 1 schaltet mit Transmitter 1 = TxD 1 schaltet mit Adr. 2Eh Bit 4		
9	0 = TxD 2 schaltet mit Transmitter 1 = TxD 2 schaltet mit Adr. 2Eh Bit 5		
10	0 = TxD 3 schaltet mit Transmitter 1 = TxD 3 schaltet mit Adr. 2Eh Bit 6		
11	0 = TxD 4 schaltet mit Transmitter 1 = TxD 4 schaltet mit Adr. 2Eh Bit 7		
12	0 = TxD 5 schaltet mit Transmitter 1 = TxD 5 schaltet mit Adr. 2Eh Bit 8		
13	0 = TxD 6 schaltet mit Transmitter 1 = TxD 6 schaltet mit Adr. 2Eh Bit 9		
14 - 15	reserviert		

Tabelle 33: Mode Opto- und TxD-Ausgänge

Hinweis!

Output 1 bis 4 stehen nur bei der Erweiterungskarte IF2008E zur Verfügung.

5.18 Mode Trigger-Ausgänge, Latch-Source und Sensor-Powerswitch

Basisadr. + 32h (Schreib- und Lesezugriff)

Bit	Funktion		
0 und 1	Bit 1	Bit 0	Funktion
	0	0	Trigger 1 schaltet mit Adr. 2Eh Bit 10
	0	1	Trigger 1 schaltet mit Timer 1 Pulsweite
	1	0	Trigger 1 schaltet mit Timer 2 Pulsweite
	1	1	Trigger 1 schaltet mit Timer 3 Pulsweite
2 und 3	Bit 3	Bit 2	Funktion
	0	0	Trigger 2 schaltet mit Adr. 2Eh Bit 11
	0	1	Trigger 2 schaltet mit Timer 1 Pulsweite
	1	0	Trigger 2 schaltet mit Timer 2 Pulsweite
	1	1	Trigger 2 schaltet mit Timer 3 Pulsweite
4 und 5	Bit 5	Bit 4	Funktion
	0	0	Trigger 3 schaltet mit Adr. 2Eh Bit 12
	0	1	Trigger 3 schaltet mit Timer 1 Pulsweite
	1	0	Trigger 3 schaltet mit Timer 2 Pulsweite
	1	1	Trigger 3 schaltet mit Timer 3 Pulsweite
6 und 7	Bit 7	Bit 6	Funktion
	0	0	Trigger 4 schaltet mit Adr. 2Eh Bit 13
	0	1	Trigger 4 schaltet mit Timer 1 Pulsweite
	1	0	Trigger 4 schaltet mit Timer 2 Pulsweite
	1	1	Trigger 4 schaltet mit Timer 3 Pulsweite
8 und 9	Bit 9	Bit 8	Funktion
	0	0	Trigger 5 schaltet mit Adr. 2Eh Bit 14
	0	1	Trigger 5 schaltet mit Timer 1 Pulsweite
	1	0	Trigger 5 schaltet mit Timer 2 Pulsweite
	1	1	Trigger 5 schaltet mit Timer 3 Pulsweite
10 und 11	Bit 11	Bit 10	Funktion
	0	0	Trigger 6 schaltet mit Adr. 2Eh Bit 15
	0	1	Trigger 6 schaltet mit Timer 1 Pulsweite
	1	0	Trigger 6 schaltet mit Timer 2 Pulsweite
	1	1	Trigger 6 schaltet mit Timer 3 Pulsweite

Bit	Funktion			
12 – 14	Bit 14	Bit 13	Bit 12	Latch-Source
	0	0	0	Hardware-Latch gesperrt
	0	0	1	Timer 1
	0	1	0	Timer 2
	0	1	1	Timer 3
	1	0	0	Sensor-Kanal 1
	1	0	1	Sensor-Kanal 2
	1	1	0	Sensor-Kanal 3
1	1	1	Sensor-Kanal 4	
15	Bit 15 = 0 Sensor-Power ON (Default Wert nach Reset)			
	Bit 15 = 1 Sensor-Power OFF			

Tabelle 34: Mode Trigger-Ausgänge, Latch-Source und Sensor-Powerswitch

Hinweis!

Mit den Bits 12-14 kann ein Latch-Source selektiert werden, mit dessen Trigger-Ereignis die externen Eingänge (IN1-4) sowie die RxD-Eingänge (Sensor 1-6) in den FIFO geschrieben werden.

5.19 ADC-Kontrollregister

Basisadr. + 34h (Schreib- und Lesezugriff)

Bit 3	Bit 2	Bit 1	Bit 0	Konvertierungs-Source ADC1
Bit 7	Bit 6	Bit 5	Bit 4	Konvertierungs-Source ADC2
0	0	0	0	Hardware-Konvertierung gesperrt
0	0	0	1	Timer 1
0	0	1	0	Timer 2
0	0	1	1	Timer 3
0	1	0	0	Sensor-Kanal 1
0	1	0	1	Sensor-Kanal 2
0	1	1	0	Sensor-Kanal 3
0	1	1	1	Sensor-Kanal 4
1	0	0	0	Sensor-Kanal 5
1	0	0	1	Sensor-Kanal 6
1	0	1	0	IN 1 (nur mit Erweiterungskarte IF2008E)
1	0	1	1	IN 2 (nur mit Erweiterungskarte IF2008E)
1	1	0	0	IN 3 (nur mit Erweiterungskarte IF2008E)
1	1	0	1	IN 4 (nur mit Erweiterungskarte IF2008E)
1	1	1	0	reserviert
1	1	1	1	reserviert

Tabelle 35: ADC-Kontrollregister Bit 0-7

Bit	Funktion
8	0 = ADC1 Datenausgabe binär 2er-Komplement 1 = ADC1 Datenausgabe binär unkonvertiert
9	0 = ADC2 Datenausgabe binär 2er-Komplement 1 = ADC2 Datenausgabe binär unkonvertiert
10 – 15	reserviert

Tabelle 36: ADC-Kontrollregister Bit 8-15

Analog Input				Digital Output	
0 – 5 V	0 – 10 V	+/-5 V	+/-10 V	Binär 2er-Kompliment	Binär unkonvertiert
+4,99 V	+9,99 V	+4,99 V	+9,99 V	7FFF	FFFF
2,5 V	5 V	0 V	0 V	0000	8000
+2,499 V	+4,999 V	-153 µV	-305 µV	FFFF	7FFF
0 V	0 V	-5 V	-10 V	8000	0000

Tabelle 37: ADC-Konvertierungsergebnis

5.20 Parity-Enable-Register

Basisadr. + 36h (Schreibzugriff)

Bit	Funktion
0	0 = Parity-Bit für Sensor-Kanal 1 gesperrt 1 = Parity-Bit für Sensor-Kanal 1 freigegeben (nur Even-Parity)
1	0 = Parity-Bit für Sensor-Kanal 2 gesperrt 1 = Parity-Bit für Sensor-Kanal 2 freigegeben (nur Even-Parity)
2	0 = Parity-Bit für Sensor-Kanal 3 gesperrt 1 = Parity-Bit für Sensor-Kanal 3 freigegeben (nur Even-Parity)
3	0 = Parity-Bit für Sensor-Kanal 4 gesperrt 1 = Parity-Bit für Sensor-Kanal 4 freigegeben (nur Even-Parity)
4	0 = Parity-Bit für Sensor-Kanal 5 gesperrt 1 = Parity-Bit für Sensor-Kanal 5 freigegeben (nur Even-Parity)
5	0 = Parity-Bit für Sensor-Kanal 6 gesperrt 1 = Parity-Bit für Sensor-Kanal 6 freigegeben (nur Even-Parity)
6-15	reserviert

Tabelle 38: Parity-Enable-Register

5.21 Parity-Error-Register

Basisadr. + 36h (Lesezugriff)

Bit	Funktion
0	1 = Parity-Error Sensorkanal 1
1	1 = Parity-Error Sensorkanal 2
2	1 = Parity-Error Sensorkanal 3
3	1 = Parity-Error Sensorkanal 4
4	1 = Parity-Error Sensorkanal 5
5	1 = Parity-Error Sensorkanal 6
6 – 15	reserviert

Tabelle 39: Parity-Error-Register

6 Verdrahtungs-Empfehlung

6.1 Sensor ILD1420

Pin IF2008/PCIe	Signal IF2008/PCIe	ILD1420		Signal ILD1420
		Pin Sensor 1	Pin Sensor 2	
1	Sensor 1 TxD-	4		RxD-
2	Sensor 1 TxD+	3		RxD+
3	Sensor 1 RxD-	6		TxD-
4	Sensor 1 RxD+	5		TxD+
5	Spannungsversorgung 0 V	12	12	GND
6	Sensor 1 TRG+	9		TeachIn
7	Sensor 1 TRG-	NC	NC	
8	Sensor 2 TRG+		9	TeachIn
9	Sensor 2 TRG-	NC	NC	
10	Spannungsversorgung +24 V	7	7	+UB
11	Sensor 2 TxD-		4	RxD-
12	Sensor 2 TxD+		3	RxD+
13	Sensor 2 RxD-		6	TxD-
14	Sensor 2 RxD+		5	TxD+
15	GND (galvan. getrennt zu PC-GND)	12	12	GND

Tabelle 40: Sensorverdrahtung ILD1420

6.2 Sensor ILD1750

Pin IF2008/PCIe	Signal IF2008/PCIe	ILD1750		Signal ILD1750
		Pin Sensor 1	Pin Sensor 2	
1	Sensor 1 TxD-	11		RxD-
2	Sensor 1 TxD+	12		RxD+
3	Sensor 1 RxD-	2		TxD-
4	Sensor 1 RxD+	1		TxD+
5	Spannungsversorgung 0 V	6	6	GND
6	Sensor 1 TRG+	3		TRG+
7	Sensor 1 TRG-	4		TRG-
8	Sensor 2 TRG+		3	TRG+
9	Sensor 2 TRG-		4	TRG-
10	Spannungsversorgung +24 V	5	5	+UB
11	Sensor 2 TxD-		11	RxD-
12	Sensor 2 TxD+		12	RxD+
13	Sensor 2 RxD-		2	TxD-
14	Sensor 2 RxD+		1	TxD+
15	GND (galvan. getrennt zu PC-GND)	6	6	GND

Tabelle 41: Sensorverdrahtung ILD1750

6.3 Sensor ILD2300

Pin IF2008/PCle	Signal IF2008/PCle	ILD2300		Signal ILD2300
		Pin Sensor 1	Pin Sensor 2	
1	Sensor 1 TxD-	8		RxD-
2	Sensor 1 TxD+	7		RxD+
3	Sensor 1 RxD-	10		TxD-
4	Sensor 1 RxD+	9		TxD+
5	Spannungsversorgung 0 V	2	2	Versorgung Masse
6	Sensor 1 TRG+	5		Syncln+
7	Sensor 1 TRG-	6		
8	Sensor 2 TRG+		5	Syncln+
9	Sensor 2 TRG-		6	
10	Spannungsversorgung +24 V	1	1	+UB
11	Sensor 2 TxD-		8	RxD-
12	Sensor 2 TxD+		7	RxD+
13	Sensor 2 RxD-		10	TxD-
14	Sensor 2 RxD+		9	TxD+
15	GND (galvan. getrennt zu PC-GND)	2	2	Syncln-

Tabelle 42: Sensorverdrahtung ILD2300

6.4 Encoder-Interface

Pin IF2008/PCIE	Signal IF2008/PCIE	1Vss oder RS422		TTL (single-ended)	
		Signal Encoder 1	Signal Encoder 2	Signal Encoder 1	Signal Encoder 2
1	Encoder 1 Spur A+	A+		A	
2	Encoder 1 Spur A-	A-		open	
3	Encoder 2 Spur A+		A+		A
4	Encoder 2 Spur A-		A-		open
5	VCC (+5 V)	+UB	+UB	+UB	+UB
6	Encoder 1 Spur B+	B+		B	
7	Encoder 1 Spur B-	B-		open	
8	Encoder 2 Spur B+		B+		B
9	Encoder 2 Spur B-		B-		open
10	GND	GND	GND	GND	GND
11	Encoder 1 Spur R+	R+		R	
12	Encoder 1 Spur R-	R-		open	
13	Encoder 2 Spur R+		R+		R
14	Encoder 2 Spur R-		R-		open
15	GND	GND	GND	GND	GND

Tabelle 43: Encoder-Interface

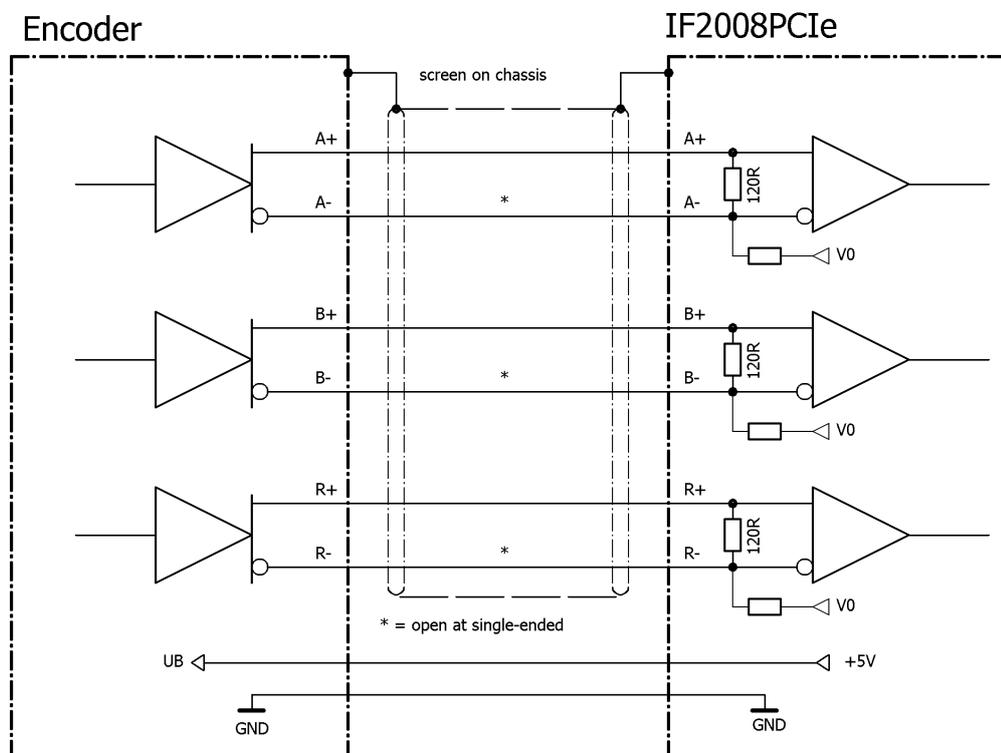


Bild 6: Blockschaltbild Encoder-Interface

Hinweis!

Plus-Eingänge (A+, B+, R+) dürfen nicht offen bleiben. Wird z.B. bei einem Ereigniszähler nur das Taktsignal verwendet, so müssen die nicht belegten Plus-Eingänge auf GND oder VCC gelegt werden.

6.5 Optokoppler I/O

Pin IF2008/PCle	Signal IF2008/PCle
1	OUT 1
2	OUT 2
3	OUT 3
4	OUT 4
5	GND
6	IN 1
7	IN 2
8	IN 3
9	IN 4

Tabelle 44: Optokoppler I/O

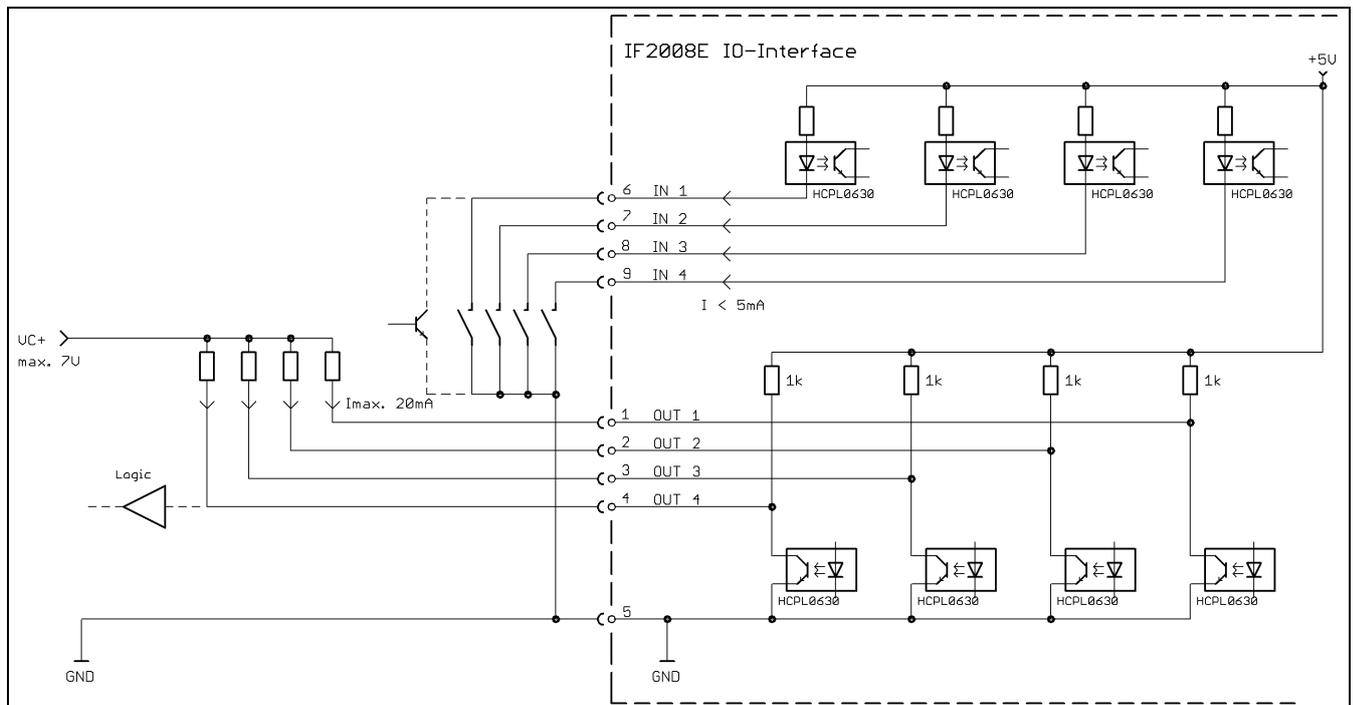


Bild 7: Blockschaltbild Optokoppler I/O

Abbildungsverzeichnis

Bild 1: Platinenansicht IF2008/PCle Basiskarte	5
Bild 2: Platinenansicht IF2008E Erweiterungskarte	6
Bild 3: Schalterstellungen Trigger-Level	9
Bild 4: Schalterstellungen ADC-Level	9
Bild 5: Timer-Frequenz und Pulsweite	18
Bild 6: Blockschaltbild Encoder-Interface	29
Bild 7: Blockschaltbild Optokoppler I/O	30

Tabellenverzeichnis

Tabelle 1: Steckerbelegung Sensor-Interface	7
Tabelle 2: Steckerbelegung Encoder-Interface	7
Tabelle 3: Steckerbelegung Sensor-Power	8
Tabelle 4: Steckerbelegung IO-Interface	8
Tabelle 5: Steckerbelegung Analog-Interface	8
Tabelle 6: Schalterstellungen Trigger-Level	9
Tabelle 7: Schalterstellungen ADC-Level	9
Tabelle 8: Header-Configuration	10
Tabelle 9: Lokale Adress-Belegung	10
Tabelle 10: Sende-Register	11
Tabelle 11: FIFO-Datenspeicher	11
Tabelle 12: FIFO-Datenspeicher – Datenquellen	11
Tabelle 13: Set- / Reset- / Latch-Register	12
Tabelle 14: FIFO-Volumen	12
Tabelle 15: FIFO-Enable-Register	13
Tabelle 16: Interrupt-Enable-Register	14
Tabelle 17: Interrupt-Status-Register	14
Tabelle 18: Basis-Adressen für Sensor Baud-Raten	15
Tabelle 19: Basis-Adressen für Zähler-Kontrollregister	15
Tabelle 20: Funktionsübersicht für Zähler-Kontrollregister	15
Tabelle 21: Encoder Interpolation	16
Tabelle 22: Encoder Zählrichtung	16
Tabelle 23: Zähler-Mode	16
Tabelle 24: Zähler Latch-Source	17
Tabelle 25: Basis-Adressen für Zähler Preload	17
Tabelle 26: Basis-Adressen für Zählerwert	17
Tabelle 27: Basis-Adressen für Timer	18
Tabelle 28: Timer Clock-Teiler	19
Tabelle 29: Basis-Adressen für ADC	19
Tabelle 30: Status	20
Tabelle 31: Input und Status Sensor-Powerswitch	20
Tabelle 32: Output-Register	21
Tabelle 33: Mode Opto- und TxD-Ausgänge	22
Tabelle 34: Mode Trigger-Ausgänge, Latch-Source und Sensor-Powerswitch	24
Tabelle 35: ADC-Kontrollregister Bit 0-7	25
Tabelle 36: ADC-Kontrollregister Bit 8-15	25
Tabelle 37: ADC-Konvertierungsergebnis	25
Tabelle 38: Parity-Enable-Register	26
Tabelle 39: Parity-Error-Register	26
Tabelle 40: Sensorverdrahtung ILD1420	27

Tabelle 41: Sensorverdrahtung ILD1750	27
Tabelle 42: Sensorverdrahtung ILD2300	28
Tabelle 43: Encoder-Interface	29
Tabelle 44: Optokoppler I/O.....	30



MICRO-EPSILON MESSTECHNIK GmbH & Co. KG
Königbacher Str. 15 · 94496 Ortenburg / Deutschland
Tel. +49 (0) 8542 / 168-0 · Fax +49 (0) 8542 / 168-90
info@micro-epsilon.de · www.micro-epsilon.de

X9750412-A011099MSC